



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月25日

出 願 番 号

Application Number:

特願2001-128285

出 願 人

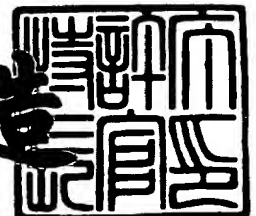
Applicant(s):

三菱電機株式会社

2001年 5月25日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3045485

【書類名】 特許願

【整理番号】 531329JP01

【提出日】 平成13年 4月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/28

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 黒岡 一晃

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 神崎 照明

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100089118

    【弁理士】

    【氏名又は名称】 酒井 宏明

【手数料の表示】

    【予納台帳番号】 036711

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 トレース回路

【特許請求の範囲】

【請求項 1】 マイクロコンピュータに内蔵されてプログラムデバッグを行うデバッグ回路に内蔵され、マイクロコンピュータのバス上のデータをバスクロック信号に従ってトレースし、トレース結果を専用端子を介してエミュレータに出力するトレース回路において、

前記マイクロコンピュータのバス上のデータがバスクロック信号に従って格納される複数のトレースバッファメモリと、

前記複数のトレースバッファメモリに対して所定の順番にサイクリックに前記バス上のデータを格納するとともに前記複数のトレースバッファメモリの格納データを所定の順番にサイクリックに出力するデータの入出力制御を前記バスクロック信号に同期して実行する制御回路と、

を備えることを特徴とするトレース回路。

【請求項 2】 前記制御回路は、前記バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、前記複数のトレースバッファメモリのうちの一部のトレースバッファメモリにデータを格納し、これら一部のトレースバッファメモリから出力データを所定の順番にサイクリックに出力することを特徴とする請求項 1 に記載のトレース回路。

【請求項 3】 前記トレースバッファメモリを 2 つ備え、

前記制御回路は 2 つのトレースバッファメモリに前記バス上のデータを交互に格納するとともに、前記 2 つのトレースバッファメモリからデータを交互に出力することを特徴とする請求項 1 に記載のトレース回路。

【請求項 4】 前記制御回路は、前記バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、前記 2 つのトレースバッファメモリのうちの一方向のトレースバッファメモリにデータを格納するとともに、この一方向のトレースバッファメモリから出力データを出力することを特徴とする請求項 3 に記載のトレース回路。

【請求項 5】 前記複数の出力ラッチ回路から出力されるデータのビット幅

を変換するビット幅変換回路を更に備えることを特徴とする請求項 1 ～ 4 の何れか 1 つに記載のトレース回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、マイクロコンピュータ内蔵デバイスのマイクロコンピュータに内蔵されたデバッグ回路内のトレース回路に関するものである。

【 0 0 0 2 】

【従来の技術】

従来、マイクロコンピュータのプログラムデバッグは、インサーキットエミュレータ（ICE）を用いるのが一般的であった。ICEの機能は、プログラムデバッグを行うマイクロコンピュータの機能をエミュレートするものであり、マイクロコンピュータのアドレスバスやデータバス、制御バスをICEのメモリに接続し、ICEを制御するホストコンピュータからプログラムをICEのメモリにダウンロードしてICEがマイクロコンピュータを動作させていた。

【 0 0 0 3 】

そして、ICEのマイクロコンピュータ端子をプログラムデバッグの対象となるマイクロコンピュータを搭載したターゲットシステムのマイクロコンピュータと置き換えてプログラムデバッグを行っていた。

【 0 0 0 4 】

通常、マイクロコンピュータ組み込み型のLSIでは、プログラムはマイクロコンピュータに内蔵されるメモリに格納されるため、ICEのメモリに接続するためのアドレスバスやデータバスなどはLSI端子には接続されない。このためICE接続専用モードを設けて、アドレスバスやデータバスをLSIの外部端子に引き出し、なおかつ、アドレスバス、データバスとして使用した端子がもつ本来の機能はICE内でエミュレートしていた。

【 0 0 0 5 】

ところが、ICEとターゲットシステムとの接続には、マイクロコンピュータの端子数分の接続が必要なため、マイクロコンピュータの高速化や多ビットバス

化に伴い、ICEとターゲットシステムとの接続が難しくなった。更に、マイクロコンピュータが内蔵されるシステムLSIでは、マイクロコンピュータの他、システム実現のための多様な機能がLSIに内蔵されるため、ICEのメモリとの接続のために、アドレスバスやデータバスとして使用する端子が持つ本来の機能をICEでエミュレートすることが困難となった。

## 【0006】

以上のような背景から、従来ICEが持つ機能を補完するデバッグ回路をマイクロコンピュータに内蔵して、デバッグ専用のLSI端子を介してホストコンピュータと接続されるエミュレータ（デバッガ）と接続するようにしたプログラム開発手法が採られるようになった。

## 【0007】

図6は従来のマイクロコンピュータ組み込み型のLSI1の内部回路構成を示すものである。図6において、2はバスインターフェース、3はCPU、4はメモリ、5はデバッグ回路、6はデバッグ回路の中のトレース回路、7はイベント制御回路、8はトレースバッファメモリ、9は出力ラッチ回路、10は出力制御回路、11は制御バス、12はアドレスバス、13はデータバスである。また、制御バス14、アドレスバス15、データバス16はトレースバスである。トレース回路6からデータが出力されるLSIデータ出力端子DATAは4ビットである。

## 【0008】

図7は、このトレース回路6内の各種信号のタイミングチャートを示したものである。バスクロック信号CKに同期したWRITE信号によって制御バス14、アドレスバス15、データバス16の何れかのデータ（8ビット）がイベント制御回路7を介してトレースバッファメモリ8に格納される。トレースバッファメモリ8で一旦格納されたデータは、その後のREAD信号により、トレースバッファメモリ8から出力ラッチ回路9に出力され、さらに出力制御回路10に入力される。出力制御回路10では、バスクロック信号CKと同じ周波数でかつ位相が $\pi$ だけずれた出力制御信号S1、S2を用いて8ビットのデータを4ビットに変換し、該変換した4ビットのデータをデータ出力端子DATAを介して出力

する。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、近年のシステム L S I は、内蔵されるマイクロコンピュータの高速化が進み、バスクロック周波数が高速化してきているために、1つのトレースバッファメモリしか持たない上記従来技術では、バスクロック周波数に対応するトレース元のデータ転送速度に対し、トレースバッファメモリへのアクセス速度が追いつかなくなり、入力データをトレースバッファメモリに1バスサイクル内に格納したりあるいはトレースバッファメモリから出力することが困難となってきた。

【 0 0 1 0 】

この発明は上記に鑑みてなされたもので、バスクロック周波数が高速化しても、トレースバッファメモリを介してデータを確実にエミュレータに受け渡すことができるトレース回路を得ることを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】

上記目的を達成するためこの発明にかかるトレース回路は、マイクロコンピュータに内蔵されてプログラムデバッグを行うデバッグ回路に内蔵され、マイクロコンピュータのバス上のデータをバスクロック信号に従ってトレースし、トレース結果を専用端子を介してエミュレータに出力するトレース回路において、前記マイクロコンピュータのバス上のデータがバスクロック信号に従って格納される複数のトレースバッファメモリと、前記複数のトレースバッファメモリに対して所定の順番にサイクリックに前記バス上のデータを格納するとともに前記複数のトレースバッファメモリの格納データを所定の順番にサイクリックに出力するデータの入出力制御を前記バスクロック信号に同期して実行する制御回路とを備えることを特徴とする。

【 0 0 1 2 】

この発明によれば、トレースバッファメモリを複数個設け、これら複数のトレースバッファメモリへのデータ入出力をバスクロック信号に同期して制御するよ

うにしている。また、複数のトレースバッファメモリに対して所定の順番にサイクリックに前記バス上のデータを格納するとともに、前記複数のトレースバッファメモリからデータを所定の順番にサイクリックに出力する。

## 【0013】

つぎの発明にかかるトレース回路は、上記発明において、前記制御回路は、前記バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、前記複数のトレースバッファメモリのうちの一部のトレースバッファメモリにデータを格納し、これら一部のトレースバッファメモリから出力データを所定の順番にサイクリックに出力することを特徴とする。

## 【0014】

この発明によれば、バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、複数のトレースバッファメモリのうちの一部のトレースバッファメモリにデータを格納し、これら一部のトレースバッファメモリからデータを所定の順番にサイクリックに出力する。

## 【0015】

つぎの発明にかかるトレース回路は、上記発明において、前記トレースバッファメモリを2つ備え、前記制御回路は2つのトレースバッファメモリに前記バス上のデータを交互に格納するとともに、前記2つのトレースバッファメモリからデータを交互に出力することを特徴とする。

## 【0016】

この発明によれば、2つのトレースバッファメモリに対してバス上のデータを交互に格納するとともに、2つのトレースバッファメモリから出力データを交互に出力するようにしている。

## 【0017】

つぎの発明にかかるトレース回路は、上記発明において、前記制御回路は、前記バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、前記2つのトレースバッファメモリのうちの一方向のトレースバッファメモリにデータを格納するとともに、この一方向のトレースバッファメモリから出力データを出力することを特徴とする。

【 0 0 1 8 】

この発明によれば、バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、2つのトレースバッファメモリのうちの一方のトレースバッファメモリにデータを格納するとともに、この一方のトレースバッファメモリからデータを出力するようにする。

【 0 0 1 9 】

つぎの発明にかかるトレース回路は、上記発明において、前記複数の出力ラッチ回路から出力されるデータのビット幅を変換するビット幅変換回路を更に備えることを特徴とする。

【 0 0 2 0 】

この発明によれば、複数の出力ラッチ回路から出力されるデータのビット幅を変換し、この変換したビット幅のデータを専用端子を介してエミュレータに出力する。

【 0 0 2 1 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかるトレース回路の好適な実施の形態を詳細に説明する。

【 0 0 2 2 】

実施の形態 1 .

図 1 は、この発明の実施の形態 1 によるデバッグ回路内蔵マイクロコンピュータ L S I を示すブロック図である。デバッグ回路にトレース回路が内蔵されている。

【 0 0 2 3 】

図 1 において、2 1 はマイクロコンピュータ ( L S I ) 、 2 5 はマイクロコンピュータ 2 1 に内蔵されるデバッグ回路であり、 2 6 はマイクロコンピュータ 2 1 のバス上のデータをトレースするトレース回路であり、トレース回路 2 6 は外部デバッガ ( エミュレータ、図示せず ) とデータの入出力を行う複数ビット ( この場合 4 ビット ) の DATA 端子を備えている。また、 2 2 はバスインターフェース、 2 3 は C P U 、 2 4 はメモリ、 3 3 は制御バス、 3 4 はアドレスバス、 3



5はデータバスである。また、36、37および38はトレースバスであり、36が制御バス、37が8ビットのアドレスバス、38が8ビットのデータバスである。制御バス36には、書込み信号WRITE（以下WRITE信号ともいう）、読み出し信号READ（以下READ信号ともいう）およびバスクロック信号CKが含まれている。なお、外部デバッガはホストコンピュータに接続されている。

#### 【0024】

つぎに、トレース回路26の内部構成を説明する。トレース回路26は、イベント制御回路27、2つのトレースバッファメモリA、B、2つの出力ラッチ回路30、31、出力制御回路40を有している。これらのイベント制御回路27、2つのトレースバッファメモリA、B、2つの出力ラッチ回路30、31、出力制御回路40は、トレース元バスのバスサイクルに同期したクロック信号CKに同期して動作する。

#### 【0025】

イベント制御回路27は、トレースイベントが発生すると、トレース用の制御バス36、アドレスバス37およびデータバス38の何れかからトレースデータを取得し、該取得したトレースデータを制御バス36から取得した書込み信号WRITEおよび読み出し信号READを用いてトレースバッファメモリA、Bへ入出力制御する。なお、書込み信号WRITEおよび読み出し信号READは、バスクロック信号CKに同期した同じ周波数の信号である。

#### 【0026】

トレース回路26には、書込み信号WRITEおよび読み出し信号READによって読み書き制御される2つのトレースバッファメモリA、Bを有している。トレースバッファメモリA、Bの入出力は、夫々8ビットである。

#### 【0027】

ここで、イベント制御回路27は、制御バス36、アドレスバス37およびデータバス38の何れかから入力された8ビットのトレースデータを2つのトレースバッファメモリA、Bに格納する際、トレースデータをこれら2つのトレースバッファメモリA、Bに交互に格納するようにしている。

## 【 0 0 2 8 】

出力ラッチ回路 3 0 は、8 ビット分のラッチ回路で構成され、トレースバッファメモリ A から読み出されたトレースデータを READ 信号をトリガとしてラッチする。出力ラッチ回路 3 1 は、8 ビット分のラッチ回路で構成され、トレースバッファメモリ B から読み出されたトレースデータを READ 信号をトリガとしてラッチする。これら出力ラッチ回路 3 0, 3 1 の出力は出力制御回路 4 0 に入力されている。

## 【 0 0 2 9 】

出力制御回路 4 0 は、 $\pi$  ラジアンずつ位相がずれかつクロック信号 CK の 2 倍の周期  $2T$  をもつ出力制御信号 S a 1, S a 2, S b 1 および S b 2 を用いて、出力ラッチ回路 3 0 の 8 ビット出力 D a および出力ラッチ回路 3 1 の 8 ビット出力 D b を 4 ビットのビット幅データに変換するビット幅変換処理を実行する。4 ビットに変換されたトレースデータは、端子 DATA を介して外部デバッガに出力される。

## 【 0 0 3 0 】

つぎに、かかる図 1 に示した構成をもつトレース回路 2 6 の動作を図 2 に示すタイムチャートを参照して説明する。

## 【 0 0 3 1 】

イベント制御回路 2 7 は、制御バス 3 6、アドレスバス 3 7、データバス 3 8 のいずれかから取得した最初のバスサイクルのトレースデータ (8 ビット、A B h h は 1 6 進) を、クロック信号 CK に同期した WR I T E 信号によってトレースバッファメモリ A 側に格納する。

## 【 0 0 3 2 】

つぎのバスサイクルでは、イベント制御回路 2 7 は、制御バス 3 6、アドレスバス 3 7、データバス 3 8 のいずれかから取得したトレースデータ (C D h) を、WR I T E 信号によってトレースバッファメモリ B 側に格納する。

## 【 0 0 3 3 】

つぎのバスサイクルでは、イベント制御回路 2 7 は、制御バス 3 6、アドレスバス 3 7、データバス 3 8 のいずれかから取得したトレースデータ (1 2 h) を

、WRITE信号によってトレースバッファメモリA側に格納する。

【0034】

つぎのバスサイクルでは、イベント制御回路27は、制御バス36、アドレスバス37、データバス38のいずれかから取得したトレースデータ(34h)を、WRITE信号によってトレースバッファメモリB側に格納する。

【0035】

このように、2つのトレースバッファメモリA、Bには、トレースデータは交互に書き込まれる。したがって、各バスサイクルTでのトレースバッファメモリへのデータの格納は2バスサイクル2T以内に行うようにすればよい。

【0036】

あるバスサイクルでは、イベント制御回路27は、バスクロック信号CKに同期したREAD信号によってトレースバッファメモリAに格納されたデータ(A Bh)を出力ラッチ回路30に出力する。出力ラッチ回路30は、トレースバッファメモリAから読み出されたデータをREAD信号をトリガとしてラッチする。

【0037】

つぎのバスサイクルでは、イベント制御回路27は、READ信号によってトレースバッファメモリBに格納されたデータ(C Dh)を出力ラッチ回路31に出力する。出力ラッチ回路31は、トレースバッファメモリBから読み出されたデータをREAD信号をトリガとしてラッチする。

【0038】

つぎのバスサイクルでは、イベント制御回路27は、READ信号によってトレースバッファメモリAに格納されたデータ(12h)を出力ラッチ回路30に出力する。出力ラッチ回路30は、トレースバッファメモリAから読み出されたデータをREAD信号をトリガとしてラッチする。

【0039】

つぎのバスサイクルでは、イベント制御回路27は、READ信号によってトレースバッファメモリBに格納されたデータ(34h)を出力ラッチ回路31に出力する。出力ラッチ回路31は、トレースバッファメモリBから読み出された

データをREAD信号をトリガとしてラッチする。

【0040】

このように、トレースデータは、2つのトレースバッファメモリA、Bから交互に読み出される。したがって、トレースバッファメモリからのデータの読み出しは2バスサイクル2T以内に行うようにすればよい。

【0041】

出力制御回路40は、 $\pi$ ラジアンずつ位相がずれかつクロック信号CKの2倍の周期2Tをもつ出力制御信号Sa1、Sa2を用いて出力ラッチ回路30の8ビットの出力Daを4ビットの出力にビット幅変換する。例えば、出力ラッチ回路30から8ビットのデータ(ABh)が入力された場合、4ビットのデータ(Ah)および(Bh)に変換する。

【0042】

また、出力制御回路40は、 $\pi$ ラジアンずつ位相がずれかつクロック信号CKの2倍の周期2Tをもつ出力制御信号Sb1、Sb2を用いて出力ラッチ回路31の8ビットの出力Dbを4ビットの出力にビット幅変換する。例えば、出力ラッチ回路31から8ビットのデータ(CDh)が入力された場合、4ビットのデータ(Ch)および(Dh)に変換する。出力制御回路40で4ビット幅に変換されたトレースデータは、4ビットずつDATA端子に出力される。

【0043】

このようにしてDATA端子から出力されるトレースデータは、先の図6および図7に示した従来技術と同様、1バスサイクルTで1つのトレースバッファメモリへデータの格納および出力を行った場合と同じ結果を得るが、図2に示すように、各トレースバッファメモリA、Bおよび出力ラッチ回路30、31でのトレースデータの保持期間は従来の2倍の2バスサイクル2T分となっている。したがって、バスサイクルTが高速化され、トレース元のデータ転送速度が高速化されても、トレースバッファメモリへのアクセスに余裕ができるので、トレース元のデータ転送速度に遅れることなくトレース先に確実にデータを出力することが可能となる。

【0044】

実施の形態 2.

つぎに、この発明の実施の形態 2 について説明する。この実施の形態 2 においては、イベント制御回路 27 は、トレースすべきトレースデータのビット数（ビット幅）を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、2 つのトレースバッファメモリ A、B のうちの一方のトレースバッファメモリにデータを格納するとともに、この一方のトレースバッファメモリから出力データを出力するようにしている。

【0045】

すなわち、制御バス 36、アドレスバス 37、データバス 38 のいずれかからトレース回路 26 に受け渡すデータのビット数が 8 ビットよりも小さく、1 バスサイクル T 内にデータ受け渡しが行えるような場合は、トレースバッファメモリへのデータの格納の順序を実施の形態 1 のような A1 → B1 → A2 → B2 の順ではなく、A1 → A2 → A3 → A4 の順で行うことにより、格納先のバッファメモリ A、B と交互に変更する処理を行わなくても良いようにしている。

【0046】

なお、ビット長の判定には、データバス 38 もしくはアドレスバス 37 を介して送られるデータのビット長を表す信号を制御バス 36 を介してイベント制御回路 27 に送るとか、あるいはデータバス 38 あるいはアドレスバス 37 のデータ内の 1 ビットを符号化ビットとし、この符号化ビットによってビット長が長いか短いかの二種類を識別させるなどの手法がある。

【0047】

図 3 は実施の形態 2 によるトレース回路 26 内の各種信号のタイミングチャートを示すものである。この図 3 の場合は、トレースバッファメモリ A または B に格納されるデータ幅を、4 ビット（Ah、Bh、1h、3h）としており、イベント制御回路 27 は、クロック信号に同期した WR I T E 信号によってこの 4 ビット幅のトレースデータをトレースバッファメモリ A 側だけに格納する。イベント制御回路 27 は、トレースバッファメモリ A 側のみに格納されたデータを R E A D 信号によって読み出し、出力ラッチ回路 30 にラッチしている。出力制御回路 40 は、バスクロック信号と同じ周波数の出力制御信号 S a 1 および S a 2 を用い

て、出力ラッチ回路 3 0 から出力された 4 ビットのトレースデータを 4 ビットのトレースデータとして DATA 端子に出力する。

#### 【0 0 4 8】

このように、この実施の形態 2 においては、トレースすべきトレースデータのビット数（ビット幅）を判定し、該判定したビット数が予め設定されたビット数よりも短くて 1 サイクル内でのデータの受け渡しを行うことができるような場合は、一方のトレースバッファメモリのみを使用するようにしたので、格納先のトレースバッファメモリを交互に切り替える処理を行う必要がなくなり、高速にデータの格納、出力を行うことができる。

#### 【0 0 4 9】

実施の形態 3.

つぎに、図 4 および図 5 を用いてこの発明の実施の形態 3 について説明する。この実施の形態 3 においては、トレースバッファメモリの数 3 個以上の複数個備えることにより、クロック CK の周波数がより高速になったり、制御バス 3 6、アドレスバス 3 7、データバス 3 8 のバスビット幅が大きくなったような場合でも、1 バスサイクル内でデータの格納、出力を滞りなく行って DATA 端子へトレース出力を行うことが可能としている。図 1 に示す構成要素と同じ機能を有するものに関しては同一符号を付しており、重複する説明は省略する。

#### 【0 0 5 0】

トレース回路 2 6 は、イベント制御回路 2 7、3 つのトレースバッファメモリ A、B、C、3 つの出力ラッチ回路 3 0、3 1、3 2、出力制御回路 4 0 を有している。

#### 【0 0 5 1】

つぎに、かかる図 4 に示した構成をもつトレース回路 2 6 の動作を図 5 に示すタイムチャートを参照して説明する。

#### 【0 0 5 2】

イベント制御回路 2 7 は、制御バス 3 6、アドレスバス 3 7、データバス 3 8 のいずれかから取得した最初のバスサイクルのトレースデータ（8 ビット、ABhh は 1 6 進）を、クロック信号 CK に同期した WRITE 信号によってトレース

スバッファメモリAに格納する。

【0053】

つぎのバスサイクルでは、イベント制御回路27は、制御バス36、アドレスバス37、データバス38のいずれかから取得したトレースデータ(CDh)を、WRITE信号によってトレースバッファメモリBに格納する。

【0054】

つぎのバスサイクルでは、イベント制御回路27は、制御バス36、アドレスバス37、データバス38のいずれかから取得したトレースデータ(12h)を、WRITE信号によってトレースバッファメモリCに格納する。

【0055】

つぎのバスサイクルでは、イベント制御回路27は、制御バス36、アドレスバス37、データバス38のいずれかから取得したトレースデータ(34h)を、WRITE信号によってトレースバッファメモリAに格納する。

【0056】

このように、3つのトレースバッファメモリA、B、Cには、トレースデータは所定の順番にサイクリックに書き込まれる(この場合はA→B→C→A→B...)。したがって、各バスサイクルTでのトレースバッファメモリへのデータの格納は3バスサイクル3T以内に行うようにすればよい。

【0057】

あるバスサイクルでは、イベント制御回路27は、バスクロック信号CKに同期したREAD信号によってトレースバッファメモリAに格納されたデータ(A Bh)を出力ラッチ回路30に出力する。出力ラッチ回路30は、トレースバッファメモリAから読み出されたデータをREAD信号をトリガとしてラッチする。

【0058】

つぎのバスサイクルでは、イベント制御回路27は、READ信号によってトレースバッファメモリBに格納されたデータ(CDh)を出力ラッチ回路31に出力する。出力ラッチ回路31は、トレースバッファメモリBから読み出されたデータをREAD信号をトリガとしてラッチする。

## 【 0 0 5 9 】

つぎのバスサイクルでは、イベント制御回路 2 7 は、R E A D 信号によってトレースバッファメモリ C に格納されたデータ ( 1 2 h ) を出力ラッチ回路 3 2 に出力する。出力ラッチ回路 3 2 は、トレースバッファメモリ C から読み出されたデータを R E A D 信号をトリガとしてラッチする。

## 【 0 0 6 0 】

つぎのバスサイクルでは、イベント制御回路 2 7 は、R E A D 信号によってトレースバッファメモリ A に格納されたデータ ( 3 4 h ) を出力ラッチ回路 3 0 に出力する。出力ラッチ回路 3 0 は、トレースバッファメモリ A から読み出されたデータを R E A D 信号をトリガとしてラッチする。

## 【 0 0 6 1 】

このように、トレースデータは、3 つのトレースバッファメモリ A, B, C から所定の順番にサイクリックに読み出される。したがって、各バスサイクル T でのトレースバッファメモリからのデータの読み出しは 3 バスサイクル 3 T 以内に行うようにすればよい。

## 【 0 0 6 2 】

出力制御回路 4 0 は、 $\pi$  ラジアンずつ位相がずれかつクロック信号 C K の 3 倍の周期 3 T をもつ出力制御信号 S a 1, S a 2 を用いて出力ラッチ回路 3 0 の 8 ビットの出力 D a を 4 ビットの出力にビット幅変換する。また、出力制御回路 4 0 は、 $\pi$  ラジアンずつ位相がずれかつクロック信号 C K の 3 倍の周期 3 T をもつ出力制御信号 S b 1, S b 2 を用いて出力ラッチ回路 3 1 の 8 ビットの出力 D b を 4 ビットの出力にビット幅変換する。また、出力制御回路 4 0 は、 $\pi$  ラジアンずつ位相がずれかつクロック信号 C K の 3 倍の周期 3 T をもつ出力制御信号 S c 1, S c 2 を用いて出力ラッチ回路 3 2 の 8 ビットの出力 D c を 4 ビットの出力にビット幅変換する。出力制御回路 4 0 で 4 ビット幅に変換されたトレースデータは、4 ビットずつ D A T A 端子に出力される。

## 【 0 0 6 3 】

実施の形態 3 においては、各トレースバッファメモリ A, B, C および出力ラッチ回路 3 0, 3 1, 3 2 でのトレースデータの保持期間は従来の 3 倍の 3 バス



サイクル3T分となっている。したがって、バスサイクルTがさらに高速化され、また制御バス36、アドレスバス37、データバス38のバスビット幅が大きくなったような場合でも、1バスサイクル内でデータの格納、出力を滞りなく行ってDATA端子へのトレース出力を行うことが可能となる

## 【0064】

なお、この実施の形態3のように3個以上の複数のトレースバッファメモリを備えるような場合においても、実施の形態2の技術思想を採用するようにしてもよい。すなわち、トレース用のバス36、37あるいは38上のデータのビット数が予め設定されたビット数よりも短くて1サイクル内でのデータの受け渡しを行うことができるような場合は、複数のトレースバッファメモリのうちの一部（例えば2個）のみを使用するようにしてもよい。

## 【0065】

また、上記の各実施の形態においては、出力制御回路40によってビット幅変換を行うようにしているが、その必要のない入出力端子あるいは外部デバッガを使用する場合は、ビット幅変換を省略するようにしてもよい。

## 【0066】

## 【発明の効果】

以上説明したように、この発明にかかるトレース回路によれば、トレースバッファメモリを複数個設け、複数のトレースバッファメモリに対して所定の順番にサイクリックに前記バス上のデータを格納するとともに、前記複数のトレースバッファメモリからデータを所定の順番にサイクリックに出力するようにしているので、バスクロック周波数が高速化されたり、バスビット幅が大きくなっても、トレース元のデータ転送速度に遅れることなく、デバッグ用のトレースデータを確実に外部デバッガに受け渡すことができる。

## 【0067】

つぎの発明にかかるトレース回路によれば、バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、複数のトレースバッファメモリのうちの一部のトレースバッファメモリにデータを格納し、これら一部のトレースバッファメモリからデータを所定の順番にサイクリック

に出力するようにしているので、格納先のトレースバッファメモリを交互に切り替える処理に要する時間が削減され、高速にデータの格納、出力を行うことができる。

#### 【0068】

つぎの発明にかかるトレース回路によれば、2つのトレースバッファメモリに対してバス上のデータを交互に格納するとともに、2つのトレースバッファメモリから出力データを交互に出力するようにしているので、バスクロック周波数が高速化されたり、バスビット幅が大きくなっても、トレース元のデータ転送速度に遅れることなく、デバッグ用のトレースデータを確実に外部デバッガに受け渡すことができる。

#### 【0069】

つぎの発明にかかるトレース回路によれば、バス上のデータのビット数を判定し、該判定したビット数が予め設定されたビット数よりも短い場合は、2つのトレースバッファメモリのうちの一方のトレースバッファメモリにデータを格納するとともに、この一方のトレースバッファメモリからデータを出力するようにしているので、格納先のトレースバッファメモリを交互に切り替える必要がなくなり、高速にデータの格納、出力を行うことができる。

#### 【0070】

つぎの発明にかかるトレース回路によれば、複数の出力ラッチ回路から出力されるデータのビット幅を変換し、この変換したビット幅のデータを専用端子を介してエミュレータに出力するようにしているので、各種ビット数の入出力端子をもつエミュレータに対応できるようになる。

#### 【図面の簡単な説明】

【図1】 この発明にかかるトレース回路の実施の形態1の構成を示すブロック図である。

【図2】 実施の形態1の動作を説明するための各種信号のタイムチャートである。

【図3】 実施の形態2の動作を説明するための各種信号のタイムチャートである。

【図 4】 この発明にかかるトレース回路の実施の形態 3 の構成を示すブロック図である。

【図 5】 実施の形態 3 の動作を説明するための各種信号のタイムチャートである。

【図 6】 従来技術の構成を示すブロック図である。

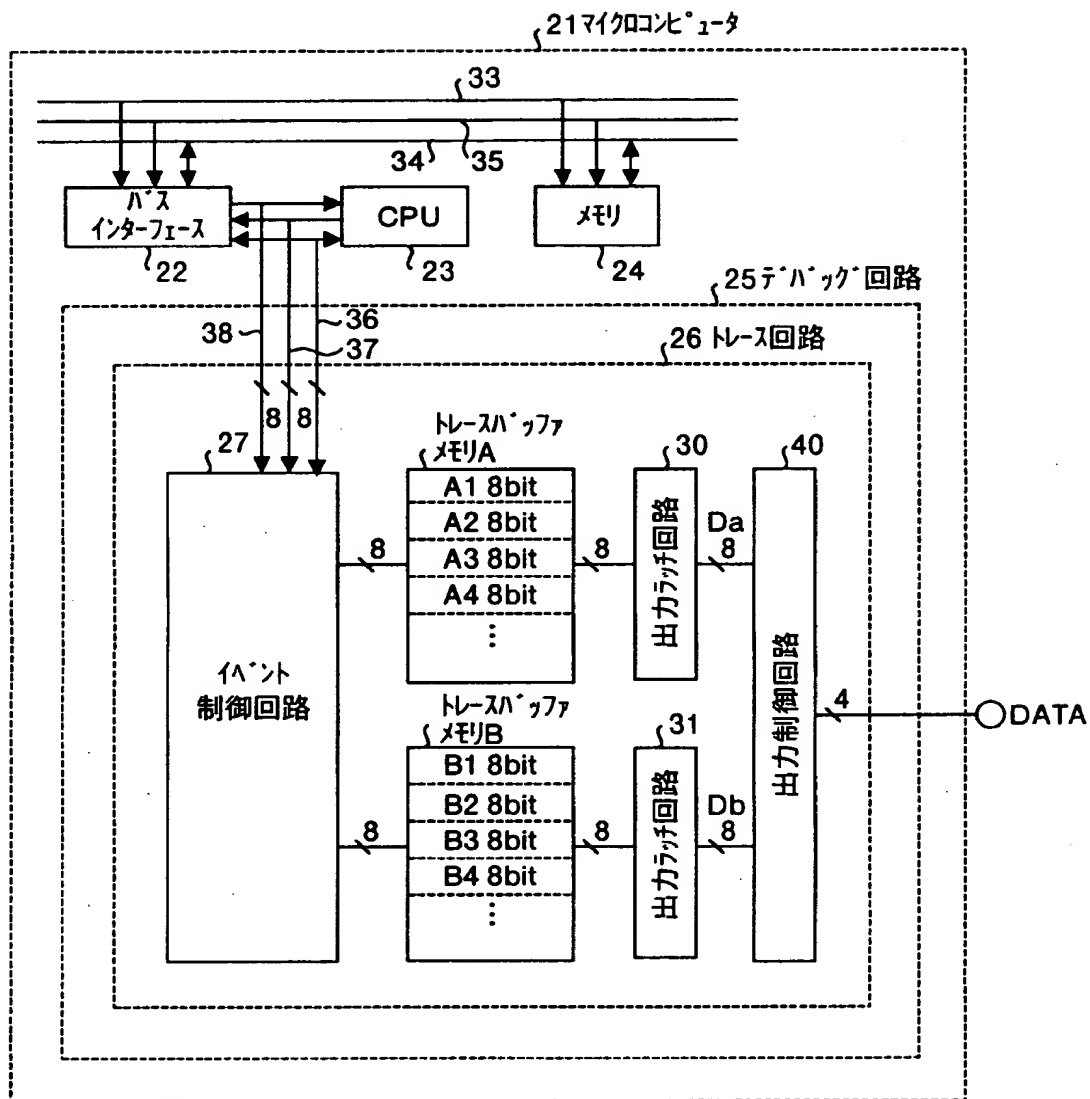
【図 7】 従来技術の動作を説明するための各種信号のタイムチャートである。

【符号の説明】

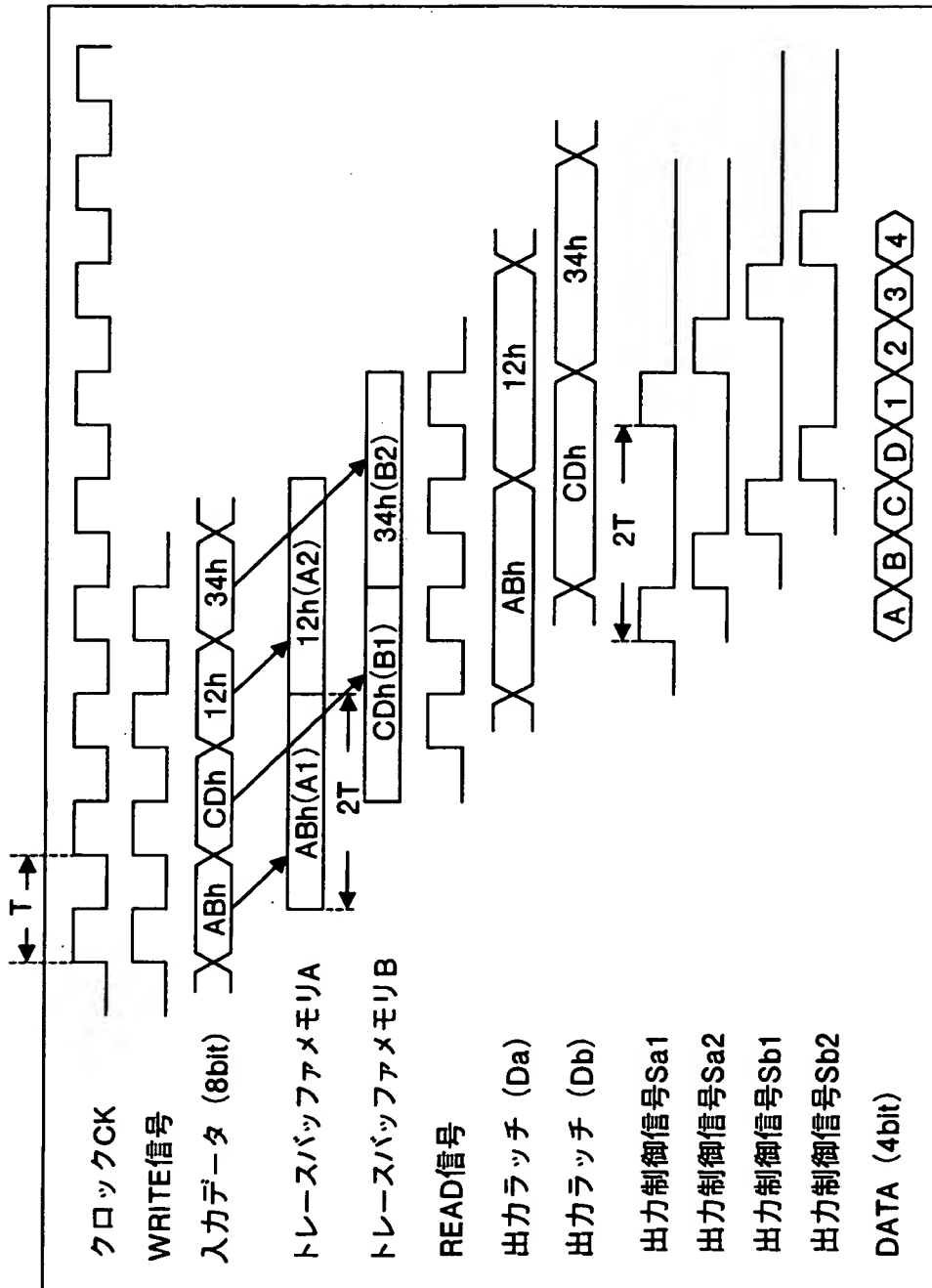
21 マイクロコンピュータ、23 CPU、24 メモリ、25 デバッグ回路、26 トレース回路、27 イベント制御回路、30, 31, 32 出力ラッチ回路、33 制御バス、34 アドレスバス、35 データバス、36 制御バス、37 アドレスバス、38 データバス、40 出力制御回路、A, B, C トレースバッファメモリ、DATA データ出力端子。

【書類名】 図面

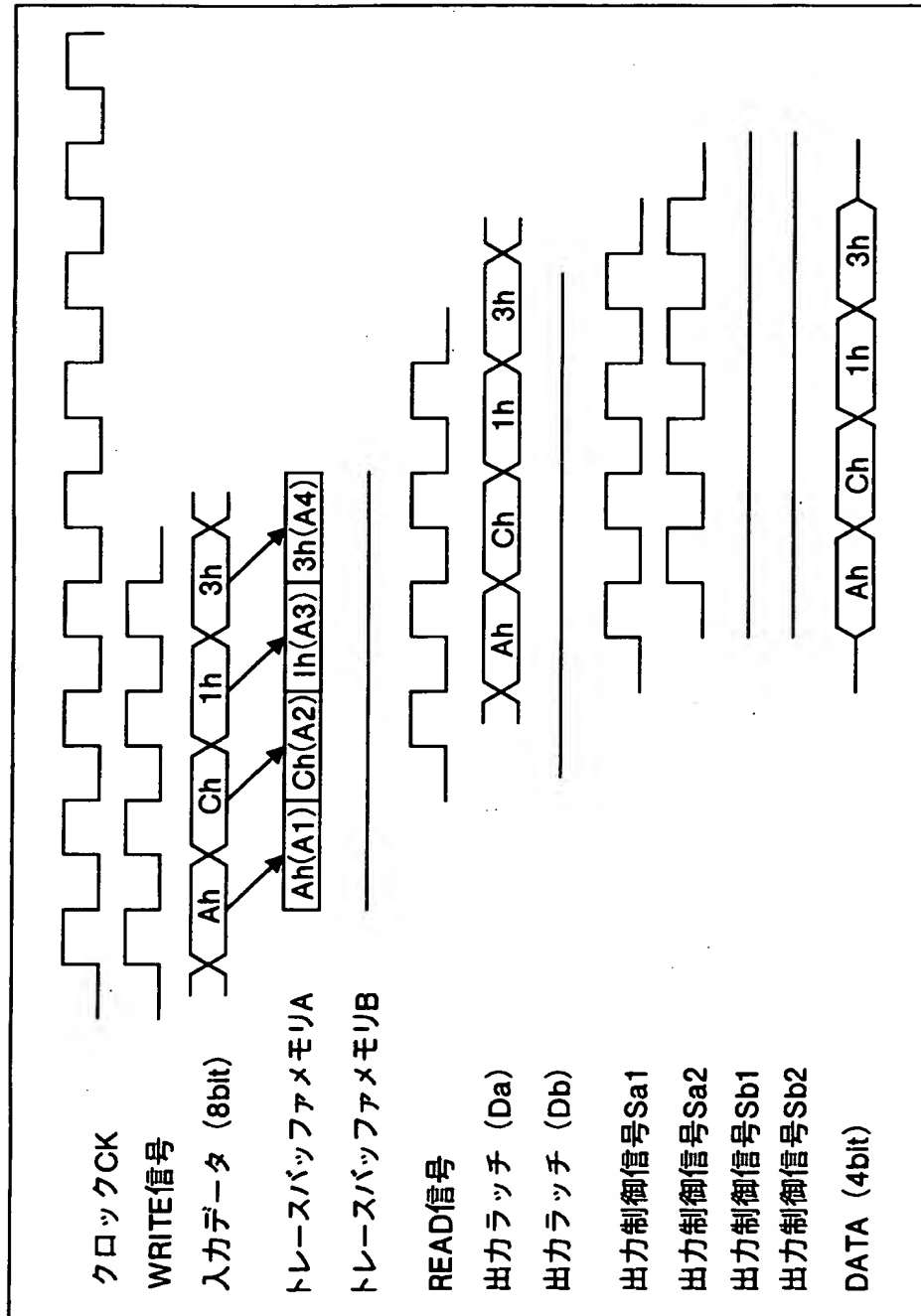
【図 1】



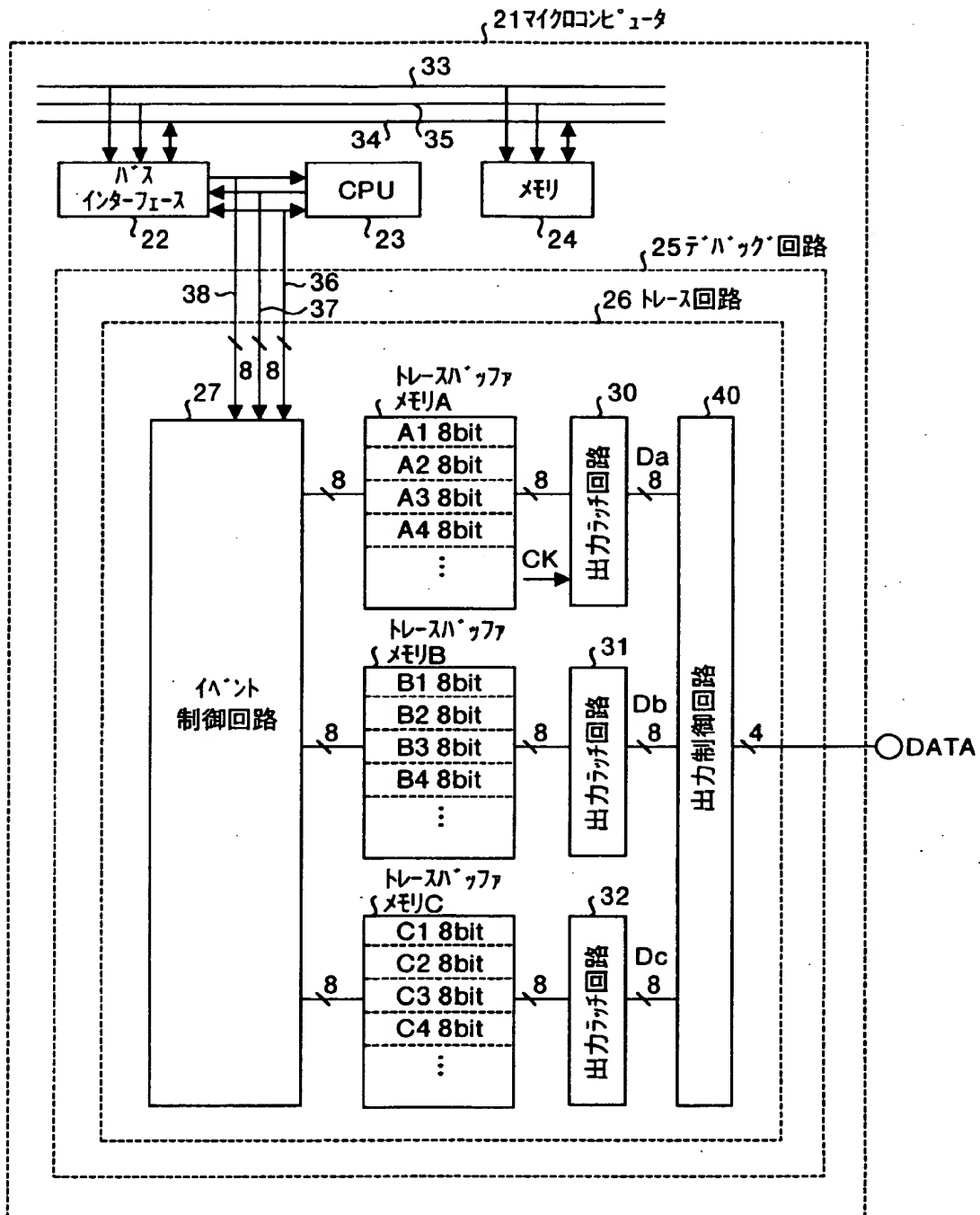
【図 2】



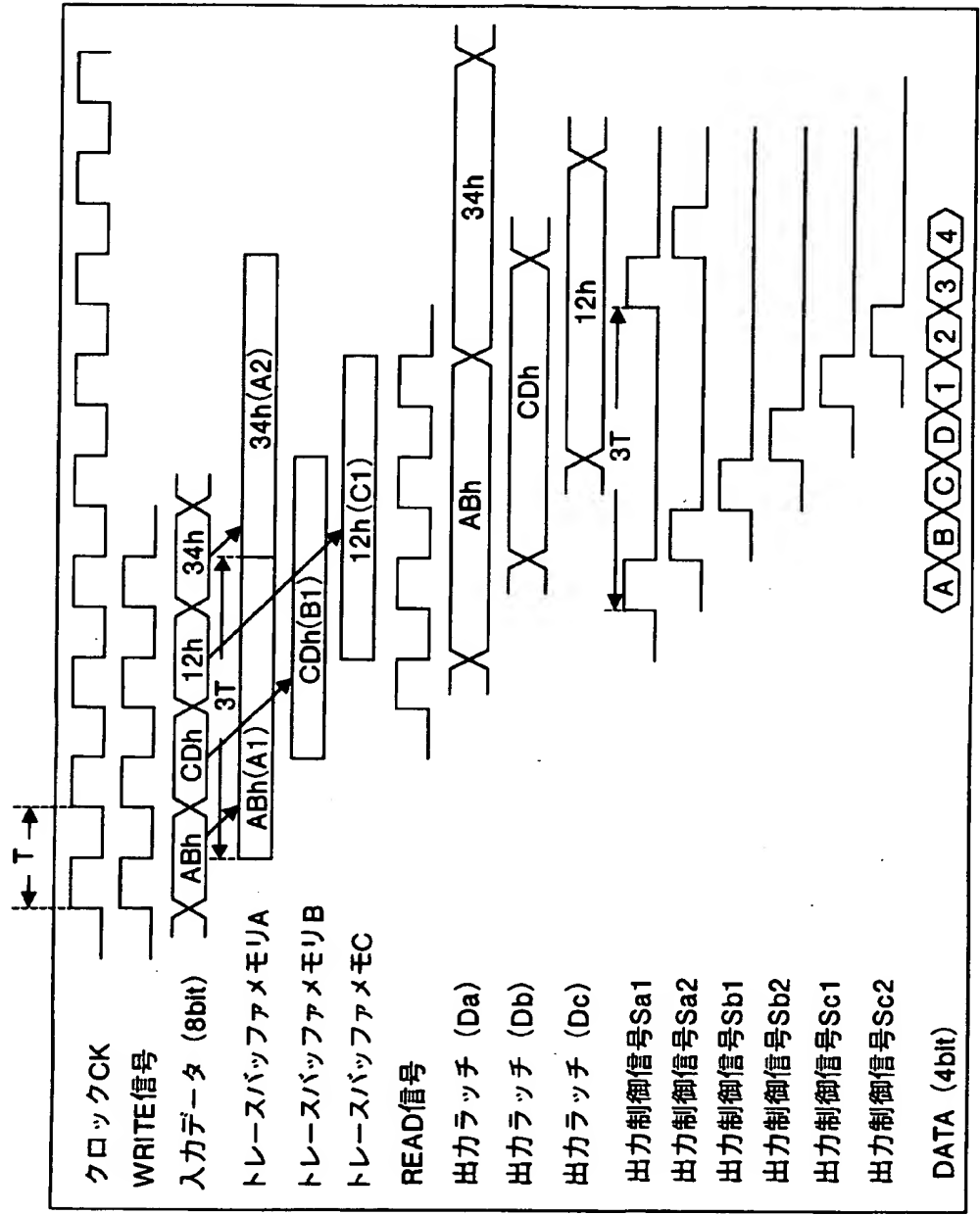
【図 3】



【図4】

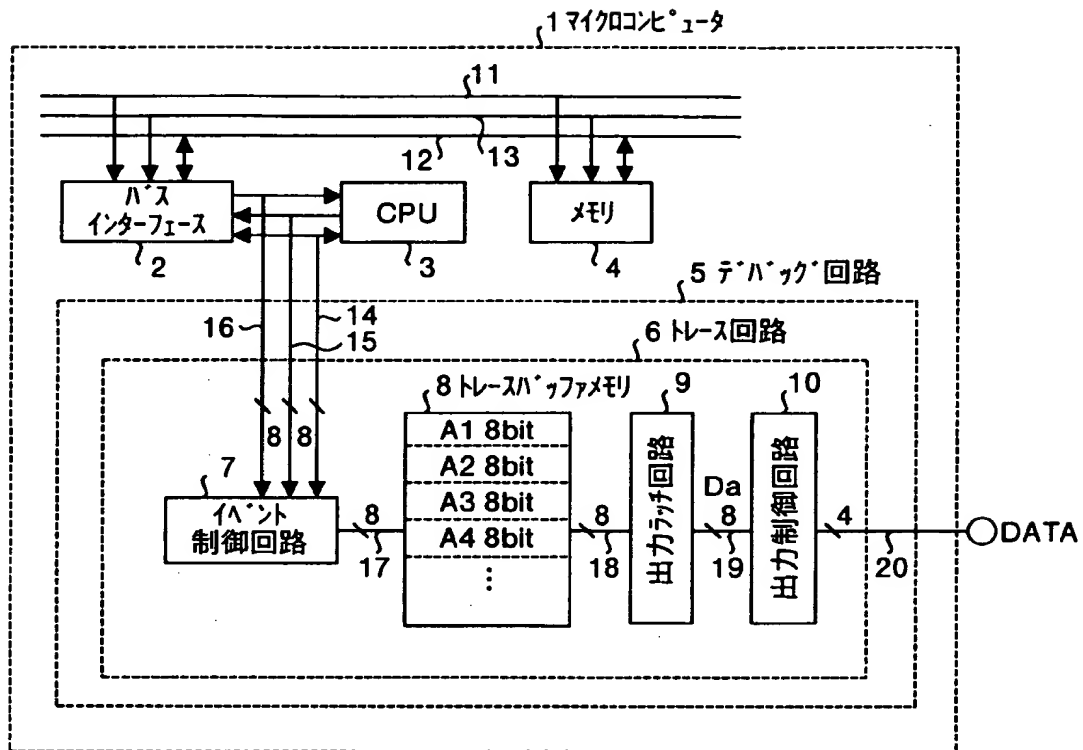


【図 5】

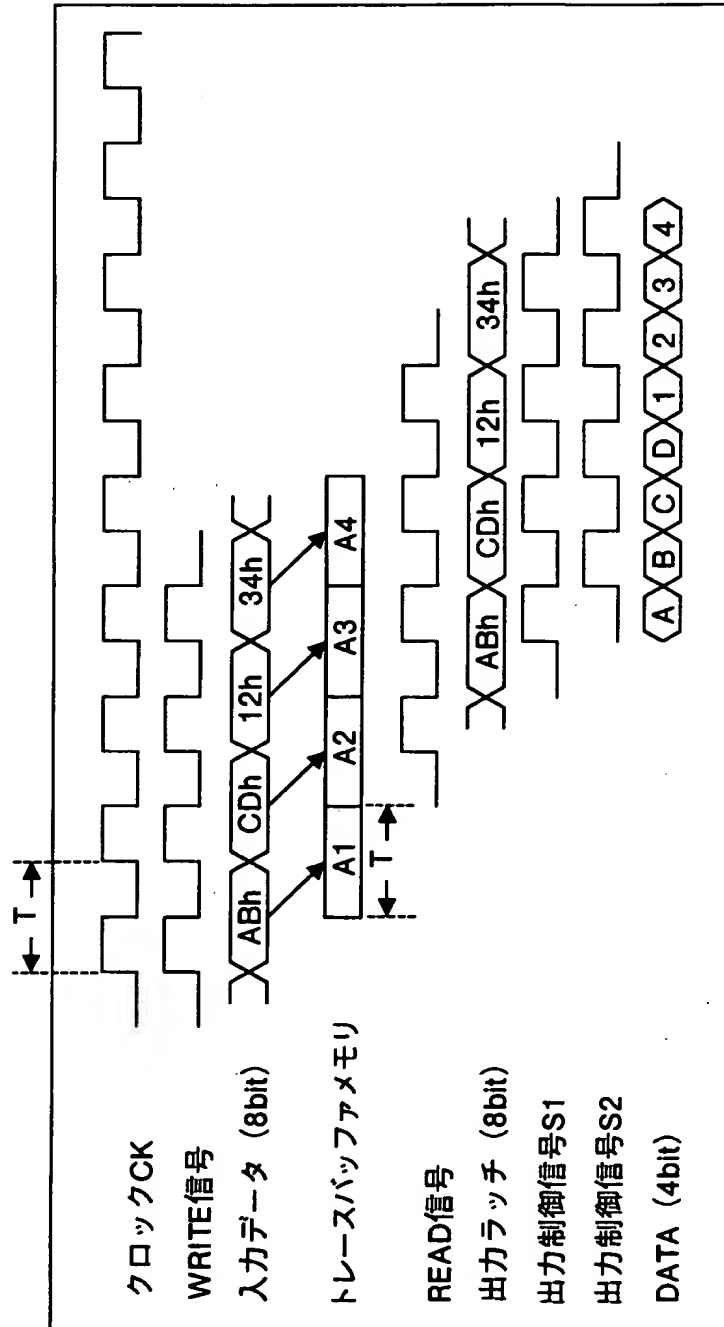




【図 6】



【図 7】



【書類名】            要約書

【要約】

【課題】    バスクロック周波数が高速化したり、バスビット幅が大きくなっても、トレース元のデータ転送速度に遅れることなく、デバッグ用のトレースデータを確実に外部デバッガに受け渡す。

【解決手段】    2つのトレースバッファメモリA, Bに対して制御バス36, アドレスバス36, データバス38の何れかのデータを交互に格納するとともに、2つのトレースバッファメモリA, Bからデータを交互に出力する。

【選択図】            図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社